

## 明 細 書

## フィルタ係数調整回路

## 技術分野

[0001] 本発明は、FIR(Finite Impulse Response)フィルタを用いた光ディスクなどの記録媒体からデータを再生する記録情報再生装置に関し、特に再生信号の群遅延歪みをFIRフィルタにより補正するフィルタ係数調整回路に関する。

## 背景技術

[0002] 図10に、DVDを例にとった一般的な記録情報再生装置を示す。

図10に示す記録情報再生装置は、記録媒体111、AGC(Automatic Gain Control)回路112、アナログ等化フィルタ113、オフセット調整回路114、A／D変換器115、適応型FIRフィルタ116、ビタビ復号器117、及びPLL(Phase Locked Loop)回路118を有するものである。

[0003] この装置の各部における機能を簡単に説明する。

AGC回路112とオフセット調整回路114では、再生信号の特性が、A／D変換器115の入力範囲に収まるように、再生信号の振幅・オフセットを調整する。アナログ等化フィルタ113は、再生信号のノイズ除去、および再生信号の特性が後段のビタビ復号器が有する特性とマッチするように波形等化処理(主にブースト処理)を行う。

[0004] 次に、A／D変換器115によって量子化された再生データは、適応型FIRフィルタ116に入力され、残留等化誤差の補正処理が施される。この適応型FIRフィルタ116には、LMS(Least Mean Square)などの適応等化アルゴリズムが用いられており、タップ係数が最適となるように自動調整処理が行われる。

[0005] アナログ等化フィルタ113とFIRフィルタ116によって波形等化処理が施された再生信号は、ビタビ復号器117へ入力され、記録媒体111に記録されていたデジタルデータの検出処理が行われる。このデータと同期したクロックは、A／D変換器115や適応型FIRフィルタ116の出力を用いて、PLL回路118によって抽出される。

[0006] さらに、このような記録情報再生装置において、省面積化を図るため、アナログ機能をデジタル化する手法が挙げられる。具体的には、図11に示すように、図10にお

けるアナログ等化フィルタ113のノイズ除去機能と波形等化処理機能とを分割し、ノイズ除去機能のみをアナログローパスフィルタ120に持たせ、波形等化処理機能(具体的にはブースト処理機能)をA/D変換器115の次段に接続されるデジタル等化フィルタ121にて実現する。このようなアナログ機能のデジタル化は、アナログ面積の大幅な削減が実現でき、ひいてはシステムの面積削減に大きく寄与することとなる。

[0007] 図11に示すような記録情報再生装置では、波形等化処理としてブースト処理のほかに、再生信号の群遅延特性を補正する機能もデジタル領域で実現したほうが、よりアナログ面積の削減を図ることができる。この再生信号の群遅延特性を補正する機能は、データと同期したクロックを抽出するPLL回路118が再生信号を用いて動作するために必要なものであり、この機能により、PLL回路118に入力される再生信号の群遅延特性を平坦にすることができ、その結果、PLL回路118のジッタ性能を抑制することができる。

[0008] このようなシステムにおける従来の群遅延調整方法としては、等化した再生信号の振幅レベルと理想値との差分値に基づいてフィルタ係数を補正する手法があった(例えば、特許文献1参照)。

特許文献1:特開平11-191202号公報

## 発明の開示

### 発明が解決しようとする課題

[0009] しかしながら、図11に示す従来の記録情報再生装置では、PLL回路118に入力される再生信号の群遅延特性が平坦になるように、デジタル等化フィルタ121の出力とそれに対応する期待値との差分値を用いてデジタル等化フィルタ121のタップ係数に非対称な値を設定する構成をとっているため、以下に挙げるような問題点があった。

[0010] 1点目は、デジタル等化フィルタ121の出力と理想値との差分値を用いて逐次的にデジタル等化フィルタ121のタップ係数を変化させるループ構成をとろうとすると、このループとクロック抽出用のPLLが2重ループ動作を行う必要があり、制御が複雑となる。さらには、入力した再生信号が群遅延以外の非理想的な要素、例えば、歪みや再生ジッタなどの影響を受けることにより、デジタル等化フィルタ121の出力と理想

値との間に群遅延以外の影響による誤差が発生し、PLL回路118のジッタ特性が悪くなるという可能性がある。

[0011] 2点目は、デジタル等化フィルタ121のタップ係数を非対称に制御させる場合、センタータップに対して右と左で完全に独立に制御させると、デジタル等化フィルタ121のゲイン特性も大幅に変化してしまうため、ゲイン特性を補正するための機能が別途必要になる。

[0012] 本発明は、上記問題点を解決するためになされたものであり、クロック抽出用のPLLに入力される再生信号の群遅延特性を最適化することのできるフィルタ係数調整回路を提供することを目的とする。

#### 課題を解決するための手段

[0013] 本発明の請求項1に記載のフィルタ係数調整回路は、入力信号に対して等化係数に応じたフィルタ処理を行うFIRフィルタと、上記FIRフィルタの出力を用いて上記入力信号と同期したクロックを抽出するPLLと、上記FIRフィルタの等化性能を検出する等化性能検出手段と、上記等化性能検出手段の出力値に応じて上記FIRフィルタの上記等化係数を決定する等化係数決定手段とを備えたことを特徴とする。

これにより、回路内の制御を簡易化し、かつ、付加回路を設けることなく入力信号の特性に応じて該入力信号の群遅延の最適化を図ることができ、その結果、再生性能を向上させることができる。

[0014] また、本発明の請求項2に記載のフィルタ係数調整回路は、請求項1に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記PLLがロック状態になる前は、上記FIRフィルタの等化係数として予め設定されている初期値を出力することを特徴とする。

これにより、PLLがロックした後にジッタ値が定常となるため、等化係数の最適値探索をスムーズに行うことができる。

[0015] また、本発明の請求項3に記載のフィルタ係数調整回路は、請求項1に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記FIRフィルタのタップ数が奇数であり、上記FIRフィルタのセンタータップより左側の上記等化係数の初期値をn倍(nは0以上2以下の実数)に、右側の上記等化係数の初期値を(2-n)倍に

重み付けして出力することを特徴とするものである。

これにより、FIRフィルタのゲイン特性をほとんど変化させることなく等化係数を更新することができ、その結果、従来のようにゲイン調整回路を設ける必要がない。

[0016] また、本発明の請求項4に記載のフィルタ係数調整回路は、請求項1に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記FIRフィルタのタップ数が偶数であり、上記FIRフィルタの遅延線の中央より左側の上記等化係数の初期値をn倍( $n$ は0以上2以下の実数)に、右側の上記等化係数の初期値を $(2-n)$ 倍に重み付けして出力することを特徴とするものである。

これにより、FIRフィルタのゲイン特性をほとんど変化させることなく等化係数を更新することができ、その結果、従来のようにゲイン調整回路を設ける必要がない。

[0017] また、本発明の請求項5に記載のフィルタ係数調整回路は、請求項3に記載のフィルタ係数調整回路において、上記重み付けnの値は、上記FIRフィルタのセンタータップからの距離が等しい2つのタップよりなる各ペアで独立に設定することを特徴とするものである。

これにより、群遅延を細かく調整することができる。

[0018] また、本発明の請求項6に記載のフィルタ係数調整回路は、請求項4に記載のフィルタ係数調整回路において、上記重み付けnの値は、上記FIRフィルタの遅延線の中央からの距離が等しい2つのタップよりなる各ペアで独立に設定することを特徴とする。

これにより、群遅延を細かく調整することができる。

[0019] また、本発明の請求項7に記載のフィルタ係数調整回路は、請求項3ないし請求項6のいずれか1項に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記等化性能検出手段の出力値の最適値を検出し、該等化性能検出手段の出力値が最適となる上記重み付けnの値を決定することを特徴とするものである。

これにより、簡単に等化係数を決定することができる。

[0020] また、本発明の請求項8に記載のフィルタ係数調整回路は、請求項7に記載のフィルタ係数調整回路において、上記等化係数決定手段は、可変の時間間隔で上記等化性能検出手段の出力を取り込み、該取り込んだ値に基づいて上記重み付けnの値

を決定することを特徴とする。

これにより、より正確に等化係数の調整を行うことができる。

[0021] また、本発明の請求項9に記載のフィルタ係数調整回路は、請求項7に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記重み付けnの値の上限値、下限値、及び更新間隔をそれぞれ独立に設定し、設定した範囲内で上記重み付けnの値を決定することを特徴とする。

これにより、非対称率を細かく設定することができる。

[0022] また、本発明の請求項10に記載のフィルタ係数調整回路は、請求項7に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記入力信号の特性に応じた動作設定用制御信号に基づいて上記等化性能検出手段の出力値が最適となる上記重み付けnの値を検出する動作を設定することを特徴とする。

これにより、例えば、入力信号中から欠陥を検出する信号や、入力信号のデータフォーマットに依存したゲート信号を用いて動作設定を行うことができる。

## 発明の効果

[0023] 本発明にかかるフィルタ係数調整回路によれば、従来の群遅延補正回路と比較して、制御手法を簡易化することができ、かつ、付加回路も必要とせずに、再生信号の特性に応じて再生信号の群遅延の最適化を図ることができ、再生性能の向上を図ることが可能である。

## 図面の簡単な説明

[0024] [図1(a)]図1(a)は、本発明のフィルタ係数調整回路の構成を示す図である。

[図1(b)]図1(b)は、ジッタ検出器のタイミングチャートを示す図である。

[図2]図2は、FIRフィルタの構成を示す図である。

[図3]図3は、本発明の係数調整回路の構成を示す図である。

[図4]図4は、重み付けnの値を変化させたときのFIRフィルタのゲイン特性を示す図である。

[図5]図5は、重み付けnの値を変化させたときのFIRフィルタの群遅延特性を示す図である。

[図6(a)]図6(a)は、本発明の非対称率決定回路の構成を示す図である。

[図6(b)]図6(b)は、本発明の非対称率決定回路の動作を説明するための図である。

[図7]図7は、本発明の非対称率更新部の構成を示す図である。

[図8]図8は、本発明の非対称率決定回路の非対称率出力部の構成を示す図である

。

[図9]図9は、本発明の乗算部の構成を示す図である。

[図10]図10は、従来の記録情報再生装置の構成例1を示す図である。

[図11]図11は、従来の記録情報再生装置の構成例2を示す図である。

### 符号の説明

- [0025] 1 FIRフィルタ
- 2 係数調整回路
- 3 PLL
- 4 ロック検出器
- 5 ジッタ検出器
- 11～19、21～29 遅延素子
- 31～39 乗算器
- 40 加算器
- 201 非対称率決定回路
- 202 乗算部
- 301 ジッタ値取り込み部
- 302 コントローラ部
- 303 最小値検出部
- 304 非対称率更新部
- 305 非対称率出力部
- 401 セレクタ
- 402 比較器
- 403 加算器
- 404 減算器
- 405 遅延素子

406～408 イネーブル付遅延素子  
409 AND回路  
501, 502 マルチプレクサ  
503 選択信号生成部  
504, 505 乗算器  
506, 507 デマルチプレクサ  
511～514, 516～519 遅延素子  
521～524, 526～529 イネーブル付遅延素子  
601 タイミング調整用レジスタ  
602～604, 606～608 セレクタ  
605, 606 遅延素子  
111 記録媒体  
112 AGC  
113 アナログ等化フィルタ  
114 オフセット調整回路  
115 A/D変換器  
116 適応型FIRフィルタ  
117 ビタビ復号器  
118 PLL  
120 アナログローパスフィルタ  
121 デジタル等化フィルタ

## 発明を実施するための最良の形態

### [0026] (実施の形態1)

以下に、本発明の実施の形態1に係るフィルタ係数調整回路について図1を用いて説明する。図1(a)は、本実施の形態1によるフィルタ係数調整回路の構成を示すものである。

[0027] 図1(a)に示すフィルタ係数調整回路は、入力される再生信号1sに対して等化係数に応じたフィルタ処理を行うFIRフィルタ1と、上記FIRフィルタ1の出力1aをもとに上

記再生信号と同期したクロック3cを抽出するPLL3と、上記PLL3のロック状態を検出するロック検出器4と、上記FIRフィルタ1の等化性能を検出する等化性能検出手段(ジッタ検出器)5と、上記ジッタ検出器5の出力値5aに応じて上記FIRフィルタ1の等化係数系列2aを決定する等化係数決定手段(係数調整回路)2とを備えたものである。

[0028] 図2は、図1(a)のフィルタ係数調整回路におけるFIRフィルタ1の詳細な構成を示す図である。なお、本実施の形態では説明の容易化のため、FIRフィルタ1のタップ数を9とする。

[0029] 上記FIRフィルタ1は、再生信号1sを1クロック分ずつ遅延させる遅延素子21～29と、該遅延素子21～29の各出力と上記係数調整回路2から出力される各等化係数101a～109a(等化係数系列2a)との積を算出する乗算器31～39と、該乗算器31～39の出力の総和を算出する加算器40とを備えたものである。

[0030] 図3は、図1(a)のフィルタ係数調整回路におけるフィルタ係数調整回路2の詳細な構成を示す図である。

[0031] 上記係数調整回路2は、上記FIRフィルタ1の等化係数系列2aの初期値11a～19aを保持する遅延素子11～19と、上記FIRフィルタ1の等化係数系列2aの非対称率を決定する非対称率決定回路201と、該非対称率決定回路201にて決定された非対称率と上記遅延素子11～19に保持されている等化係数初期値11a～19aとを乗算することにより、新たな等化係数101a～109aを生成する乗算部202とを備えたものである。なお、上記遅延素子11～19の保持されている等化係数初期値11a～19aは、FIRフィルタ1のセンタータップに対し、左右対称に設定されているものとする。

[0032] 次に、動作について説明する。

入力された再生信号1sは、FIRフィルタ1により等化され、等化された信号1aは、データ検出部(図示せず)とPLL3に出力される。PLL3では、上記FIRフィルタ1の出力1aから上記再生信号1sの同期クロック3cを抽出する。このとき、ロック検出器4では、PLL3がロック状態であるか否かを監視し、ロック状態であることを検出したときは、係数調整回路2及びジッタ検出器5にロック検出信号4aを出力する。

[0033] ジッタ検出器5では、PLL3がクロック抽出の際に検出する位相誤差3bをある一定

個数積算して平均化し、再生信号1sと抽出したクロック3cとの間のジッタ値5aを算出する。この演算過程を図1(b)に示す。図中では、位相誤差3bの積算数を32としている。一般的な位相誤差は、再生信号のゼロクロスポイントをもとに算出されるため、32のゼロクロスポイントが検出されるごとにジッタ値は更新される。また、このジッタ値の更新タイミングを示すジッタ値更新タイミング信号5bを生成する。

[0034] 係数調整回路2では、上記ジッタ検出器5から出力されるジッタ値5aを、上記ジッタ更新タイミング信号5bに基づいて取り込み、その値が最小となるよう上記FIRフィルタ1の等化係数系列2aを調整する。

[0035] ここで、係数調整回路2による等化係数調整方法について詳細に説明する。まず、非対称率決定回路201にて上記ジッタ検出器5から出力されるジッタ値5aを上記ジッタ値更新タイミング5bで取り込み、ジッタ値5aが最小となるようにFIRフィルタ1の等化係数系列2aの非対称率を決定する。この非対称率は、上記FIRフィルタ1のセンタータップに対し、右半面の乗数201aと左半面の乗数201bとの比をn: (2-n)で表すものである(nは0以上2以下の実数であるとする)。

[0036] 乗算部202では、上記決定された非対称率に基づいて、遅延素子11ー19のうち、左半面の遅延素子11ー14に保持されている等化係数初期値11aー14aをn倍、右半面の遅延素子16ー19に保持されている等化係数初期値16aー19aを(2-n)倍する。図4に、重み付けnの値(非対称値)を変化させたときのFIRフィルタ1のゲイン特性を示す。また、このときのFIRフィルタ1の群遅延特性を図5に示す。これらの図から分かるように、重み付けnの値を変化させることでゲイン特性をほとんど変化させることなく、広域部分における群遅延特性を調整することができる。

[0037] なお、ロック検出器4がPLL3のロック状態を検出するまでは、つまり、PLL3がロック状態になる前までは、非対称率決定回路201は、重み付けn=1とし、FIRフィルタ1の等化係数系列2aとしてあらかじめ設定されている初期値、すなわち遅延素子11ー19に保持されている等化係数初期値11aー19aが outputされるように制御する。これにより、PLL3のロックイン動作の安定性を維持することができる。

[0038] このような実施の形態1では、入力される再生信号に対して等化係数に応じたフィルタ処理を行うFIRフィルタ1と、上記FIRフィルタ1の出力を用いて上記再生信号と

同期したクロックを抽出するPLL3と、上記FIRフィルタ1の等化性能を検出するジッタ検出器5と、上記ジッタ検出器5の出力値に応じて上記FIRフィルタ1の等化係数を更新する係数調整回路2とを備えたことにより、回路内の制御が簡単で、かつ、付加回路を設けることなく再生信号の特性に応じて該再生信号の群遅延の最適化を図ることができ、その結果、再生性能を向上させることができる。

[0039] また、係数調整回路2は、上記FIRフィルタ1のタップ数が奇数であるとき、該FIRフィルタ1のセンタータップに対して左側に対応する等化係数の初期値をn倍(nは0以上2以下の実数)に重み付けし、右側に対応する等化係数の初期値を(2-n)倍に重み付けし出力するようにしたので、上記FIRフィルタ1のゲイン特性をほとんど変えることなく、群遅延量のみを制御することができる。

[0040] (実施の形態2)

以下に、本発明の実施の形態2に係るフィルタ係数調整回路について図1～図3、図6～図7を用いて説明する。なお、図1～図3については上記実施の形態1で説明したので、ここでは説明を省略する。

[0041] 図6(a)は、図3の係数調整回路2における非対称率決定回路201の詳細な構成を示す図である。

[0042] 図6(a)に示す非対称率決定回路201は、上記ジッタ検出器5から出力されるジッタ値5aを取り込むジッタ値取り込み部301と、上記係数調整回路2内の制御信号を生成するコントローラ部302と、上記ジッタ値取り込み部301に取り込まれたジッタ値301aの最小値を検出し、そのときの非対称率を保持する最小値検出部303と、上記コントローラ部302の出力302d～302gに応じて非対称率を更新する非対称率更新部304と、上記最小値検出部303に保持されている非対称値、上記非対称率更新部304にて更新された非対称値、または初期値のいずれかを選択し出力する非対称値出力部305とを備えたものである。

[0043] 図7は、図6(a)における非対称率更新部304の詳細な構成を示す図である。

上記非対称率更新部304は、セレクタ401と、比較器402と、加算器403と、減算器404と、遅延素子405と、イネーブル付遅延素子406～408と、AND回路409とを備えたものである。

[0044] 図8は、図6(a)における非対称率出力部305の詳細な構成の一例を示す図である。

上記非対称率出力部305は、タイミング調整用レジスタ601と、セレクタ602～604, 606～608と、遅延素子605, 609とを備えたものであり、イネーブル信号302a、学習完了信号302b、及びリセット信号302cに応じた非対称率を出力するものである。つまり、非対称率の学習期間中は、非対称率更新部304から出力される更新後の非対称値304a, 304bを選択し、学習完了時には、最小値検出部303から出力される非対称値303a, 303bを選択し、リセット信号302cが入力された時には、初期値(重み付けn=1)を選択し出力する。

[0045] 次に、非対称率決定回路201による非対称率決定方法について説明する。

コントローラ部302では、ジッタ検出器5から出力されるジッタ値更新タイミング信号5bをもとにイネーブル信号302aを生成する。

[0046] ここで、ジッタ値取り込み部301のタイミングチャートを図6(b)に示す。ジッタ値5aは、上記実施の形態1でも述べたように、予め決められた個数の位相誤差3bを積算し平均化することで生成されるものであるが、FIRフィルタ1の等化係数系列2aが更新されると、FIRフィルタ1の群遅延特性が変動するので、PLL3はその特性の変化に追従しようとする。そのため、PLL3はロック状態を保っているが、PLL3が定常状態となるために引き込み動作を行う。従って、PLL3が定常状態になるまではジッタ値5aのばらつきが生じることが考えられる。

[0047] そこで、コントローラ部302では、FIRフィルタ1の等化係数系列2aが更新された場合、該等化係数系列2aの更新直後のジッタ値(j1, j3, j5, j7)が取り込まれないように、イネーブル信号302aを生成し、ジッタ値取り込み部301に出力する。そして、ジッタ値取り込み部301では、上記イネーブル信号302aに基づいてジッタ値(j2, j4, j6, j8)の取り込みを実行する。

[0048] このように等化係数系列2aが更新された場合、ジッタ値が定常となった後に、ジッタ値取り込み部301にジッタ値5aが取り込まれるようにイネーブル信号302aを生成するようにしたので、FIRフィルタ1の等化係数系列2aが更新された直後の引き込み期間中に生じる、PLL3の引き込み動作によるジッタ値のばらつきを、ジッタ値を取り込

むタイミングを遅延させることで防ぐことができる。なお、ここでは引き込みの間隔を1として説明しているが、2以上の間隔であっても同様の効果が得られる。つまり、等化係数系列2aを更新してからある程度の時間が経過した後にジッタ値を取り込むほうが、より正確なジッタ値を得ることができる。

[0049] また、コントローラ部302では、外部入力である学習設定用制御信号21sの入力により、非対称値の上限302d、下限302e、更新ステップ302fを、非対称率更新部304へ出力する。また、動作設定用制御信号22sの入力により、初期化信号302gを非対称率更新部304へ、リセット信号302cを最小値検出部303及び非対称率出力部305へ出力する。さらに、非対称率更新部304から探索終了信号304cが出力された場合は、コントローラ部302から最小値検出部303及び非対称率出力部305に学習完了信号302bが出力される。

[0050] 非対称率更新部304では、コントローラ部302から出力される初期化信号302gがHIの場合、セレクタ401にてコントローラ部302から出力される非対称値下限302eが選択される。そして、ジッタ値取り込みのタイミングでコントローラ部302から出力されるイネーブル信号302aに基づいて、イネーブル付遅延素子406に上記セレクタ401から出力される非対称値下限302eが取り込まれる。このイネーブル付遅延素子406では、上記取り込んだ非対称値下限302eを初期値とし、ジッタ値の取り込みが行われる毎、すなわちイネーブル信号302aがHIとなるタイミングで、等化係数を更新ステップ(更新間隔)302fずつ増加(更新)し、この更新された値がイネーブル付遅延素子407、408へ取り込まれる。なお、比較器402では、上記イネーブル付遅延素子406の出力と上記コントローラ部302から出力される非対称値上限302dとを比較し、該比較の結果、イネーブル付遅延素子406の出力が非対称値上限302d以上のときは、非対称値の探索が完了したことを示す探索終了信号304cを出力する。

[0051] 最小値検出部303では、コントローラ部302から出力されるイネーブル信号302aがLOWからHIになるタイミングでジッタ値取り込み部301に取り込まれたジッタ値301aの中から最小値を検出し、その値、及びそのときの非対称率の値を保持する。また、コントローラ部302からリセット信号302cが出力された場合には、保持している最小値とそのときの非対称率がリセットされる。

[0052] 非対称値出力部305では、コントローラ部302から出力されるリセット信号302cがHIの場合は、 $n=1$ として非対称率を出力し、コントローラ部302から出力される学習完了信号302bがHIの場合には、最小値検出部303から出力されるジッタ値303a、303bが最小となる非対称率を出力し、それ以外の場合には非対称率更新部304から出力される非対称率の更新値304a、304bを出力する。

[0053] このような実施の形態2では、非対称率決定回路201は、ジッタ検出器5から出力されるジッタ値を取り込むジッタ値取り込み部301と、係数調整回路2内の制御信号を生成するコントローラ部302と、上記ジッタ値取り込み部301に取り込まれたジッタ値の最小値を検出し、そのときの非対称率の値を保持する最小値検出部303と、上記コントローラ部302の出力に応じて非対称率を更新する非対称率更新部304と、上記最小値検出部303に保持されている非対称値、上記非対称率更新部304にて更新された非対称値、または初期値のいずれかを選択し出力する非対称値出力部305とを備えたことにより、あらかじめ設定された非対称率設定範囲からジッタ値が最小となる非対称率を決定することができ、再生性能の向上を図ることが可能である。

[0054] なお、本実施の形態2において、係数調整回路2は、コントローラ部302から最小値検出部303、非対称率更新部304、及び非対称率出力部305へ出力されるリセット信号がHIからLOWに切り変わるタイミングで等化係数の学習動作を行っているが、該リセット信号を、再生信号の特性に応じてコントローラ部302に入力される動作設定用制御信号を用いて生成するようにすれば、より効率よく、群遅延調整を行うことが可能である。

[0055] 例えば、記録型DVDなどのようにセクタ単位で区切られて記録媒体にデータが記録されたメディアからデータを再生する場合、セクタ毎にメディアに記録されているデータの再生特性が異なる場合がある。すなわち、FIRフィルタ1の等化係数の非対称率の最適値が異なる場合が生じる。従って、セクタに同期したゲート信号を制御信号(動作設定用)としてコントローラ部302に入力し、これに基づいてリセット信号を生成することで、各セクタに対して群遅延の最適値を求めることが可能である。さらに、再生信号に欠陥等が生じた場合には、欠陥検出信号を用いて、リセット信号を生成させて再学習を行うようにすれば、群遅延の補正の信頼度をより向上させることができ

る。

[0056] (実施の形態3)

以下に、本発明の実施の形態3に係るフィルタ係数調整回路について図1ー図3、および図9を用いて説明する。なお、図1ー図3については上記実施の形態1にて説明したので、ここでは説明を省略する。

[0057] 図9は、図3の係数調整回路2における乗算部202の構成を示す図である。

図9に示す乗算部202は、非対称率決定回路201から出力されるタイミング信号201cに基づいてセレクト信号503a、イネーブル信号503bを生成する選択信号生成部503と、上記セレクト信号503aに基づいて等化係数初期値11aー14aのいずれかを選択するマルチプレクサ501と、上記セレクト信号503aに基づいて等化係数初期値15aー19aのいずれかを選択するマルチプレクサ502と、上記マルチプレクサ501の出力と非対称値201aとを乗算する乗算器504と、上記マルチプレクサ502の出力と非対称値201bとを乗算する乗算器505と、上記セレクト信号503aに基づいて上記乗算器504の出力を後段の遅延素子511ー514のいずれかに接続するデマルチプレクサ506と、上記セレクト信号503aに基づいて上記乗算器505の出力を後段の遅延素子516ー519のいずれかに接続するデマルチプレクサ507と、上記デマルチプレクサ506から出力される値を格納する遅延素子511ー514と、上記デマルチプレクサ507から出力される値を格納する遅延素子516ー519と、上記イネーブル信号503bに基づいて、保持している等化係数を上記遅延素子511ー514に格納されている値に更新するイネーブル付遅延素子521ー524と、上記イネーブル信号503bに基づいて、保持している等化係数を上記遅延素子516ー519に格納されている値に更新するイネーブル付遅延素子526ー529とを備え、非対称率決定回路201から出力されるタイミング信号201cに基づいて非対称率の更新タイミングを検知し、入力データをタイミングシェアリングして使用することで新たな等化係数系列2aを生成する。すなわち、等化係数初期値11aー14aをn倍に重み付けしたものを等化係数101aー104aとして、等化係数初期値15aを等化係数105aとして、等化係数初期値16aー19aを(2-n)倍に重み付けしたものを等化係数106aー109aとしてFIRフィルタ1へ出力する。

[0058] 次に、乗算部202の動作について説明する。

非対称率を、FIRフィルタ1のセンタータップ25を中心として左右対称になるように設定する場合、選択信号生成部503では、セレクト信号503aを用いてマルチプレクサ501, 502及びデマルチプレクサ506, 507の出力制御を行い、遅延素子511～514には、等化係数初期値11a～14aをn倍に重み付けしたものを格納し、遅延素子516～519には、等化係数初期値16a～19aを(2-n)倍に重み付けしたものを格納する。

[0059] そして、遅延素子511～514および遅延素子516～519への格納が終了すると、選択信号生成部503からイネーブル信号503bが出力され、イネーブル付遅延素子521～524および526～529では、上記イネーブル信号503bの入力により、一括して保持している等化係数の更新を行い、この更新後の等化係数を新たな等化係数101a～104a, 106a～109aとして出力する。なお、FIRフィルタ1の遅延素子25に対応する等化係数は、初期値のままである。

[0060] このようにして等化係数の更新を繰り返し行い、ジッタ値が最小となる非対称率を検出することで、群遅延補正を行なうことが可能である。

また、FIRフィルタ1の遅延素子25に対して等しい位置にある遅延素子をペアとし、各々のペアで独立に非対称率を設定するようにしても良い。例えば、まずFIRフィルタ1の遅延素子21と遅延素子29のペアに対する非対称率の最適値を検出し、次に遅延素子22と遅延素子28のペアに対する非対称率の最適値を検出し、以下同様の動作を全てのペアに対して繰り返す。これにより、更に高精度な群遅延調整を行うことが可能である。

[0061] このような実施の形態3では、乗算部202は、マルチプレクサ501, 502と、非対称率決定回路201から出力されるタイミング信号201cに基づいてセレクト信号503a、イネーブル信号503bを生成する選択信号生成部503と、乗算器504, 505と、デマルチプレクサ506, 507と、遅延素子511～514, 516～519と、イネーブル付遅延素子521～524, 526～529とを備え、非対称率決定回路201から出力されるタイミング信号201cに基づいて非対称率の更新タイミングを検知し、入力データをタイムシエアリングして使用することで新たな等化係数系列を生成するようにしたので、FIRフィ

ルタ1のフィルタ係数をセンタータップを中心として左右対称に設定することができ、その結果、FIRフィルタ1のゲイン特性をほとんど変化させることなく、フィルタ係数を更新させることができる。

[0062] なお、上記実施の形態1～3では、FIRフィルタのタップ数が9、すなわち奇数の場合について説明したが、このタップ数が偶数の場合にも(これは上記実施の形態においてセンタータップがないものと考えた場合に相当する)、上記各実施の形態と同様の効果を得ることが可能である。また、FIRフィルタ1のタップ数が偶数である場合は、係数調整回路2は、上記FIRフィルタ1の遅延線の中央より左側の上記等化係数の初期値をn倍(nは0以上2以下の実数)、右側の上記等化係数の初期値を(2-n)倍に重み付けし出力するようにする。

[0063] また、上記実施の形態1～3では、等化性能検出手段として、FIRフィルタ1の出力とPLL3が抽出した同期クロックとの間のジッタを検出するジッタ検出器5を用いて説明をしたが、等化誤差検出手段などを用いて同様の機能を実現することができることはいうまでもない。

### 産業上の利用可能性

[0064] 本発明にかかる再生信号処理装置は、ジッタ値が最小となるようにFIRフィルタの等化係数を調整することのできる遅延補正回路として有用である。

## 請求の範囲

[1] 入力信号に対して等化係数に応じたフィルタ処理を行うFIRフィルタと、  
上記FIRフィルタの出力を用いて上記入力信号と同期したクロックを抽出するPLL  
と、  
上記FIRフィルタの等化性能を検出する等化性能検出手段と、  
上記等化性能検出手段の出力値に応じて上記FIRフィルタの等化係数を決定する  
等化係数決定手段とを備えた、  
ことを特徴とするフィルタ係数調整回路。

[2] 請求項1に記載のフィルタ係数調整回路において、  
上記等化係数決定手段は、上記PLLがロック状態になる前は、上記FIRフィルタの  
等化係数として予め設定されている初期値を出力する、  
ことを特徴とするフィルタ係数調整回路。

[3] 請求項1に記載のフィルタ係数調整回路において、  
上記等化係数決定手段は、上記FIRフィルタのタップ数が奇数であり、上記FIRフ  
ィルタのセンタータップより左側の上記等化係数の初期値をn倍( $n$ は0以上2以下の  
実数)に、右側の上記等化係数の初期値を $(2-n)$ 倍に重み付けして出力する、  
ことを特徴とするフィルタ係数調整回路。

[4] 請求項1に記載のフィルタ係数調整回路において、  
上記等化係数決定手段は、上記FIRフィルタのタップ数が偶数であり、上記FIRフ  
ィルタの遅延線の中央より左側の上記等化係数の初期値をn倍( $n$ は0以上2以下の  
実数)、右側の上記等化係数の初期値を $(2-n)$ 倍に重み付けして出力する、  
ことを特徴とするフィルタ係数調整回路。

[5] 請求項3に記載のフィルタ係数調整回路において、  
上記重み付けnの値は、上記FIRフィルタのセンタータップからの距離が等しい2つ  
のタップよりなる各ペアで独立に設定する、  
ことを特徴とするフィルタ係数調整回路。

[6] 請求項4に記載のフィルタ係数調整回路において、  
上記重み付けnの値は、上記FIRフィルタの遅延線の中央からの距離が等しい2つ

のタップよりなる各ペアで独立に設定する、

ことを特徴とするフィルタ係数調整回路。

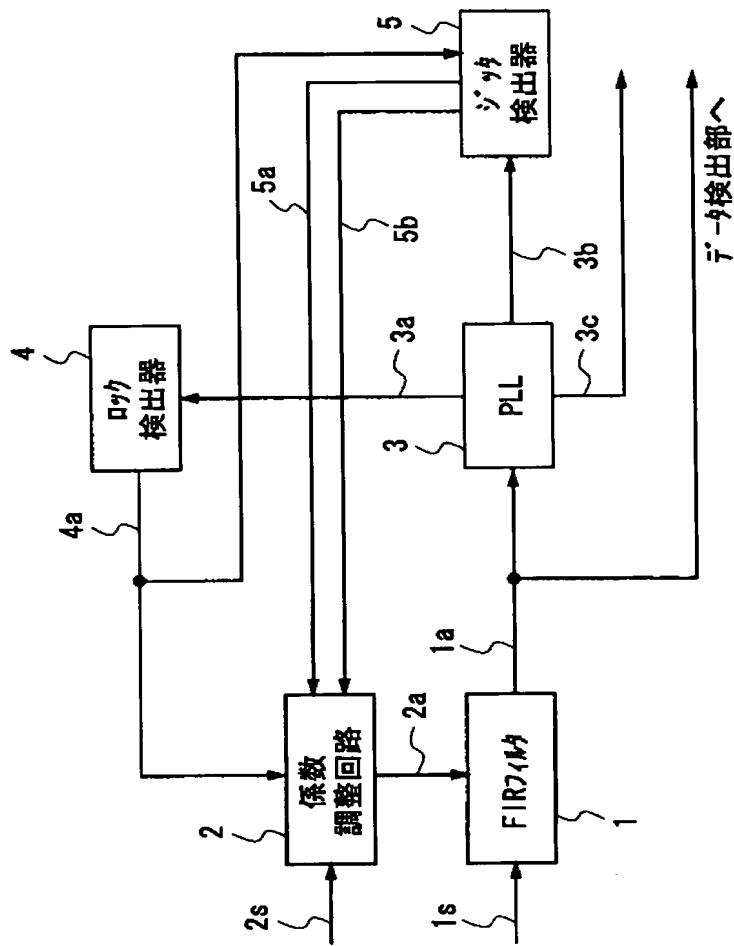
[7] 請求項3ないし請求項6のいずれか1項に記載のフィルタ係数調整回路において、  
上記等化係数決定手段は、上記等化性能検出手段の出力値の最適値を検出し、  
該等化性能検出手段の出力値が最適となる上記重み付けnの値を決定する、  
ことを特徴とするフィルタ係数調整回路。

[8] 請求項7に記載のフィルタ係数調整回路において、  
上記等化係数決定手段は、可変の時間間隔で上記等化性能検出手段の出力を  
取り込み、該取り込んだ値に基づいて上記重み付けnの値を決定する、  
ことを特徴とするフィルタ係数調整回路。

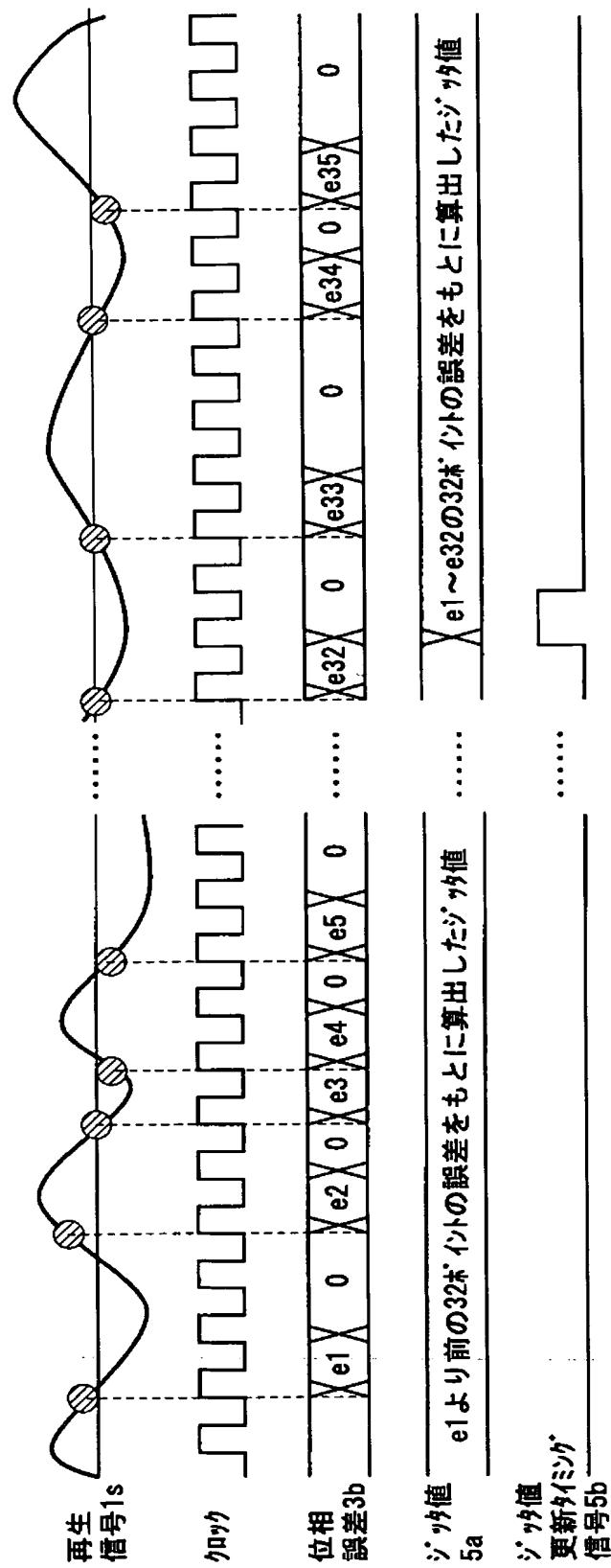
[9] 請求項7に記載のフィルタ係数調整回路において、  
上記等化係数決定手段は、上記重み付けnの値の上限値、下限値、及び更新間  
隔をそれぞれ独立に設定し、設定した範囲内で上記重み付けnの値を決定する、  
ことを特徴とするフィルタ係数調整回路。

[10] 請求項7に記載のフィルタ係数調整回路において、  
上記等化係数決定手段は、上記入力信号の特性に応じた動作設定用制御信号に  
に基づいて上記等化性能検出手段の出力値が最適となる上記重み付けnの値を検出  
する動作を設定する、  
ことを特徴とするフィルタ係数調整回路。

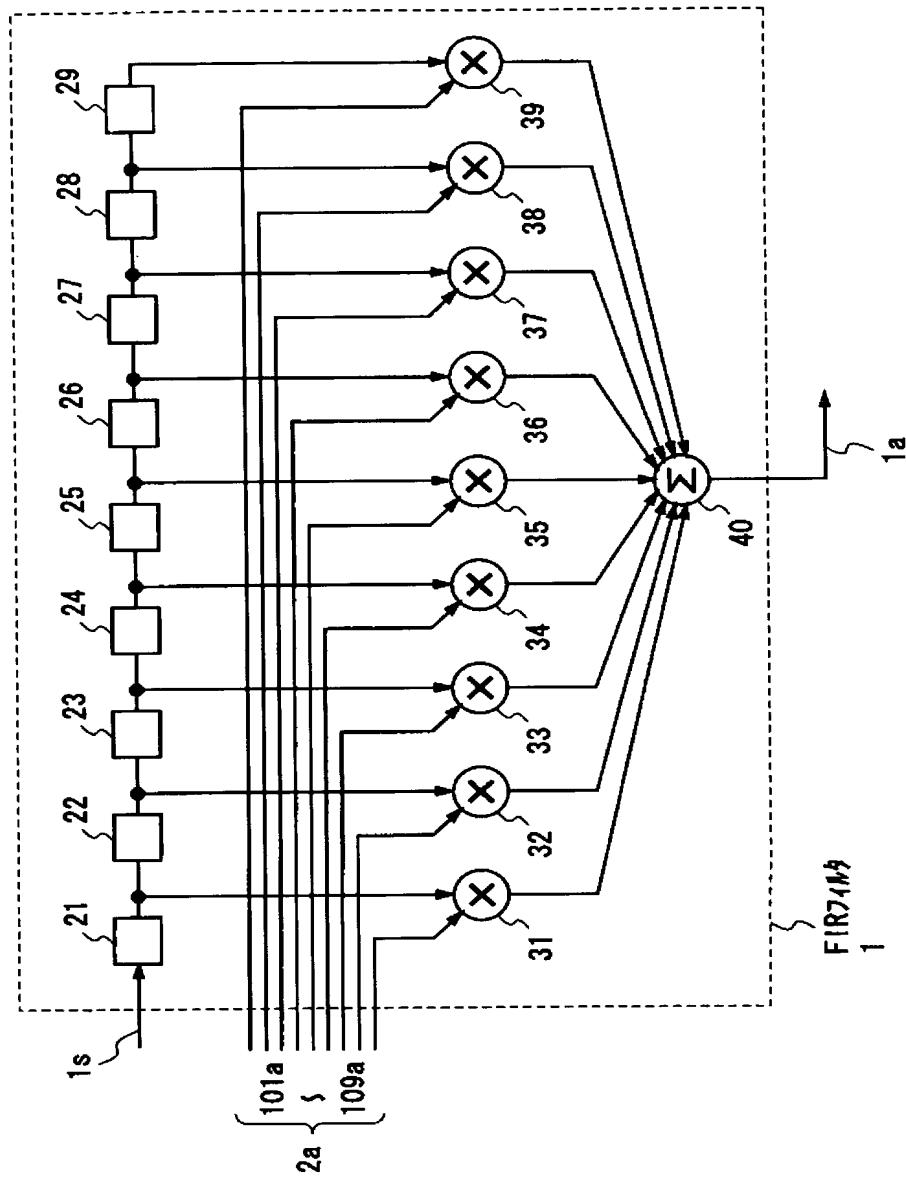
[図1(a)]



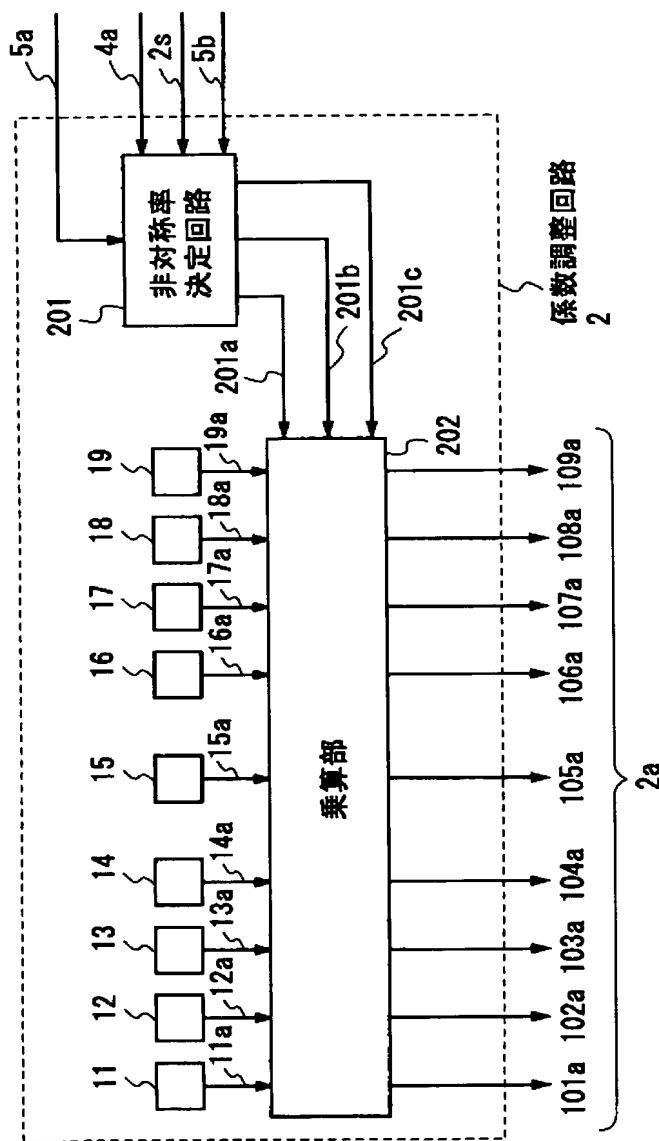
[図1(b)]



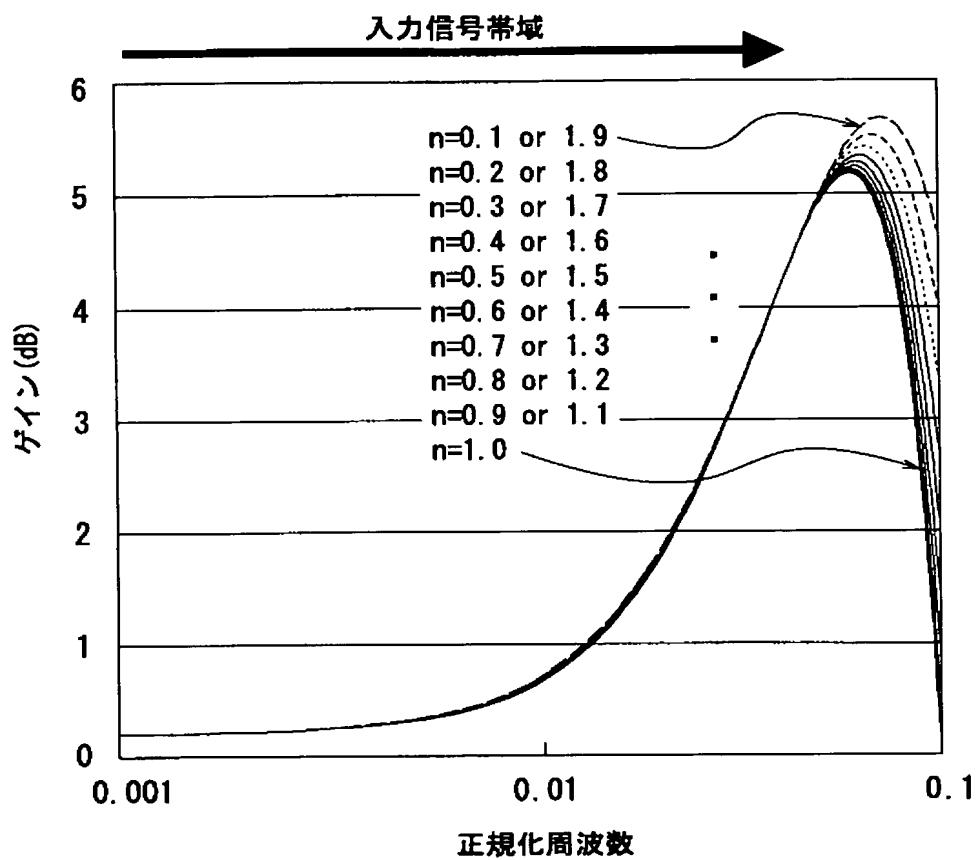
[図2]



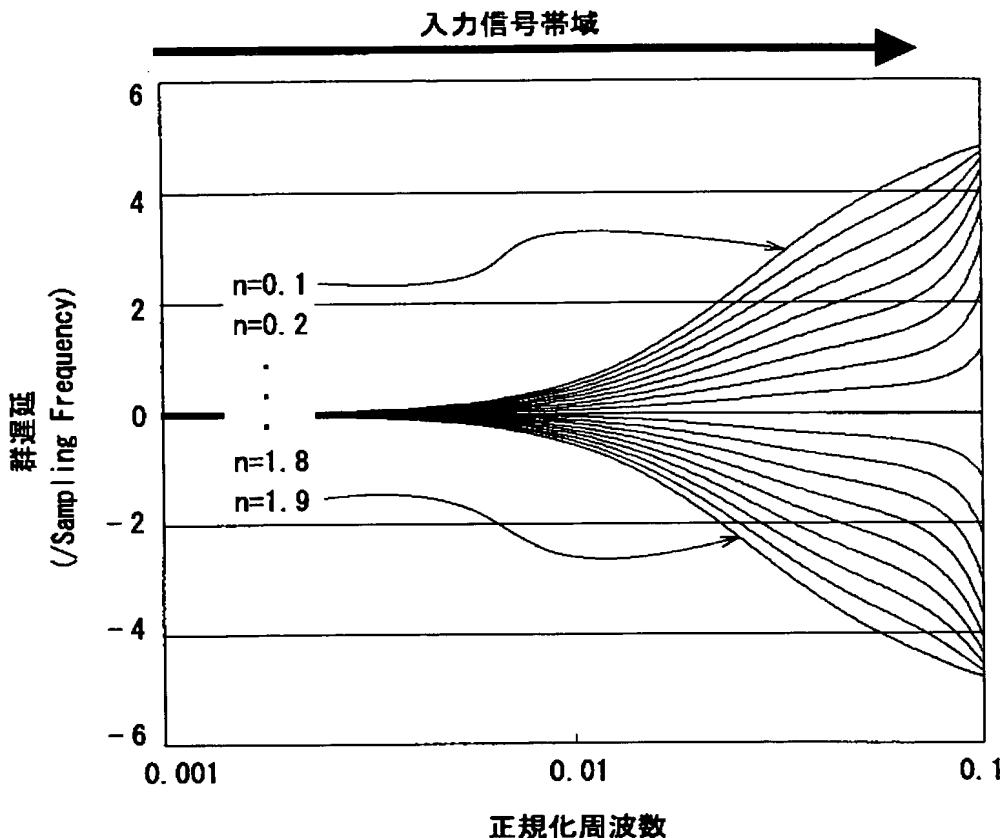
[図3]



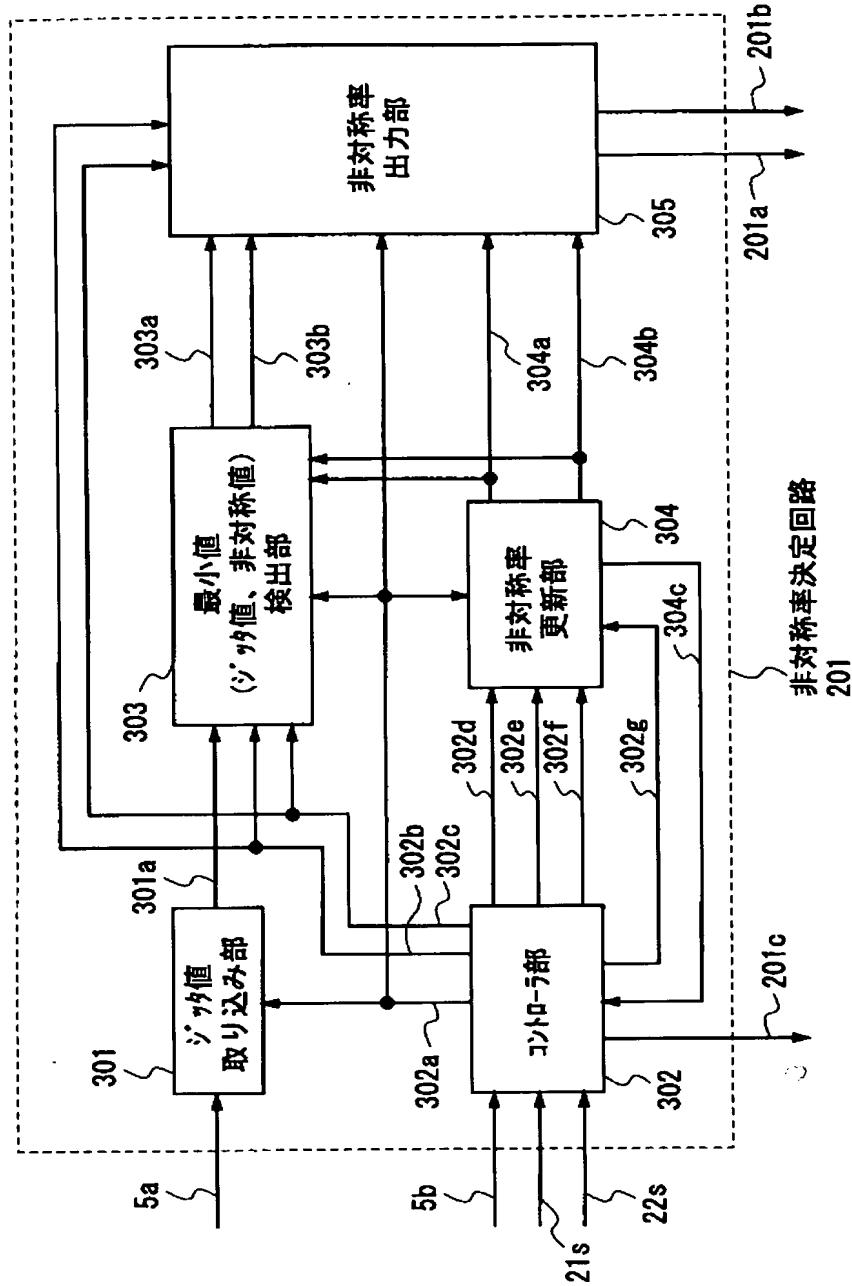
[図4]



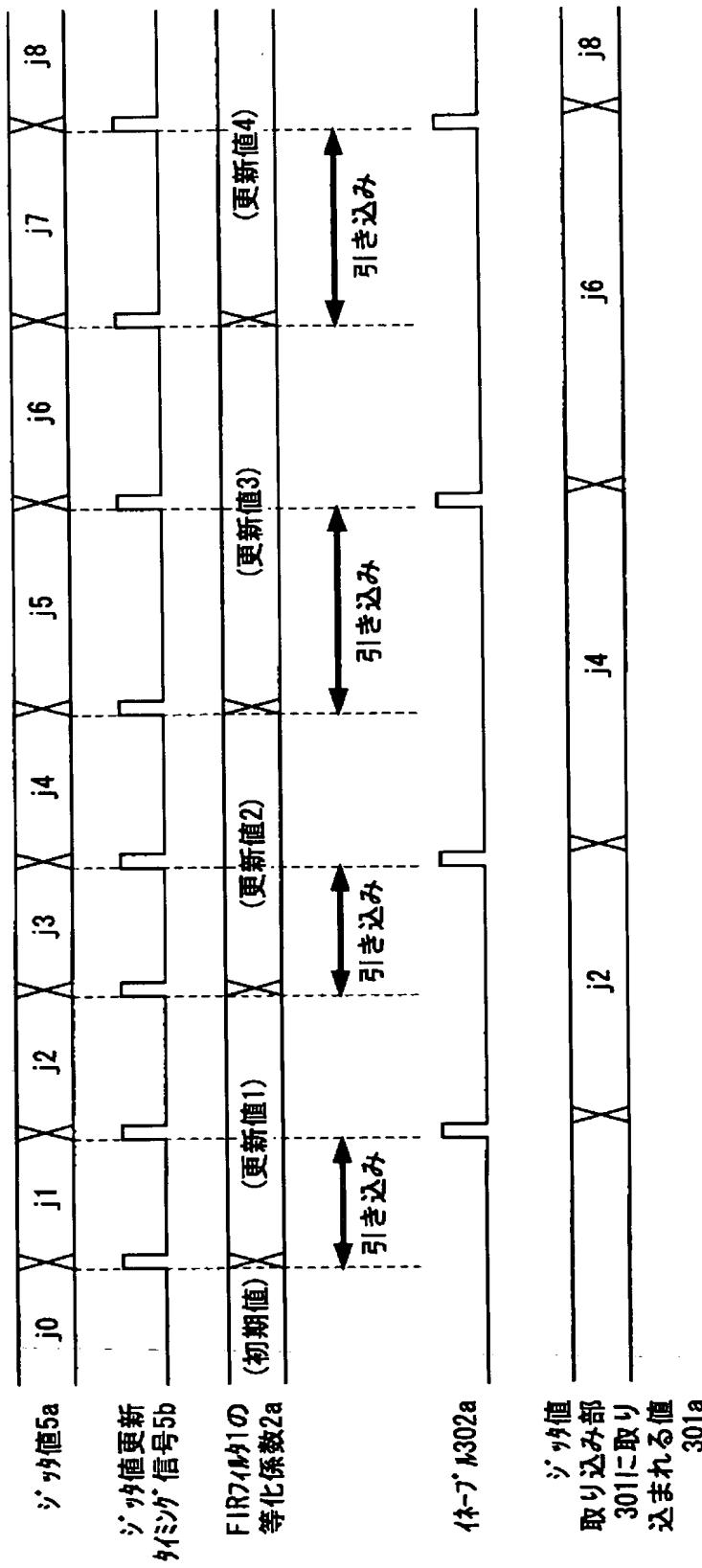
[図5]



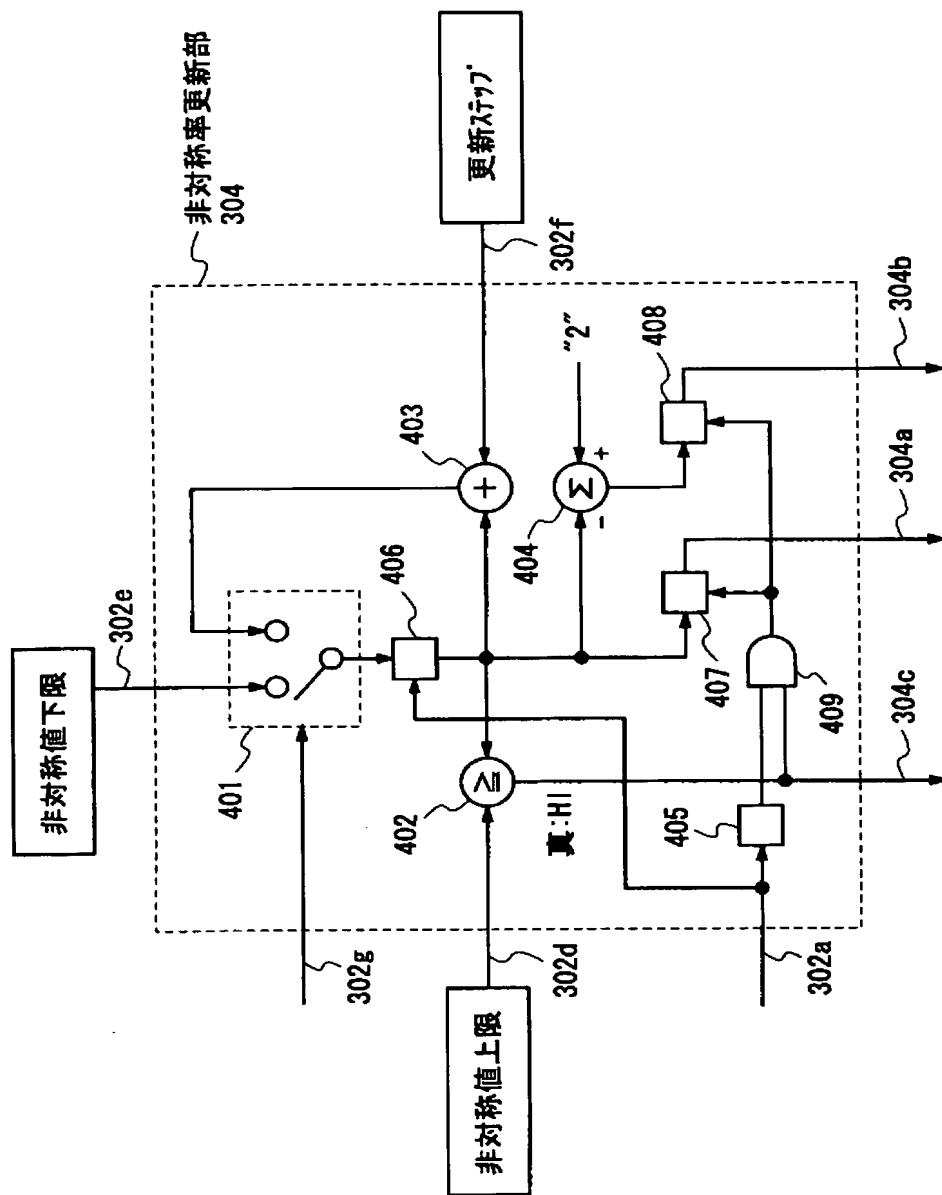
[図6(a)]



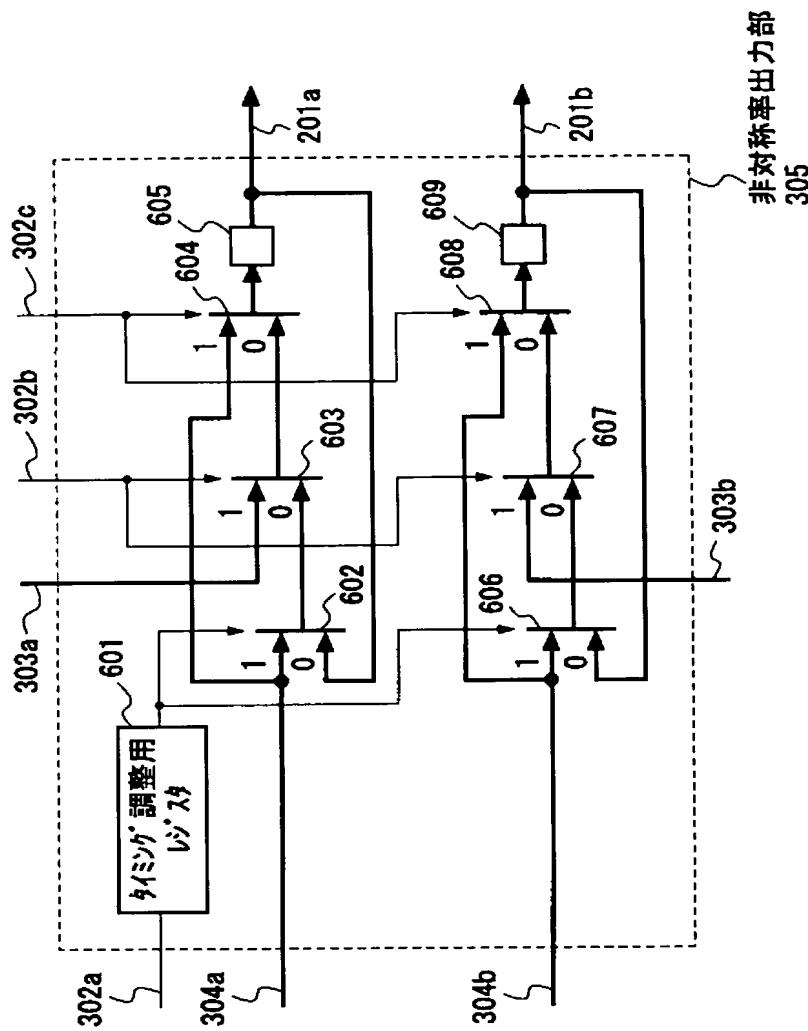
[図6(b)]



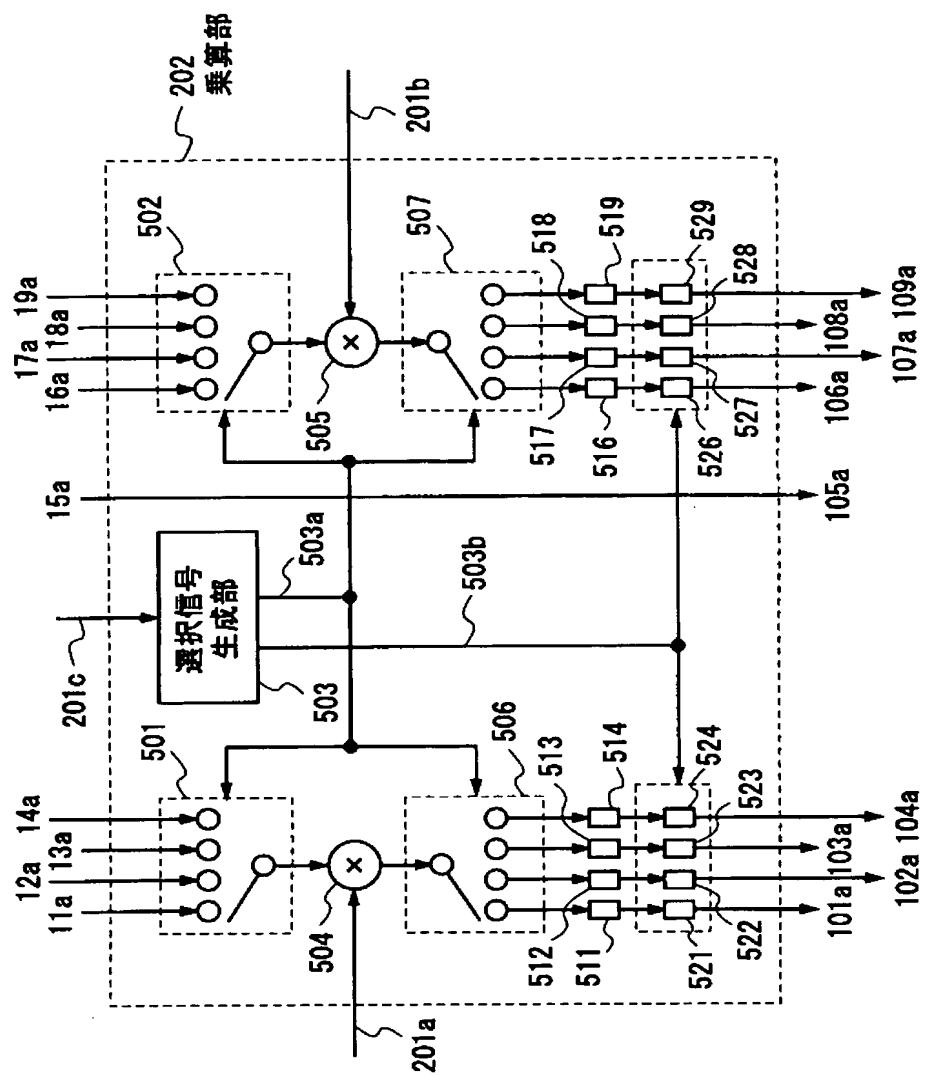
[図7]



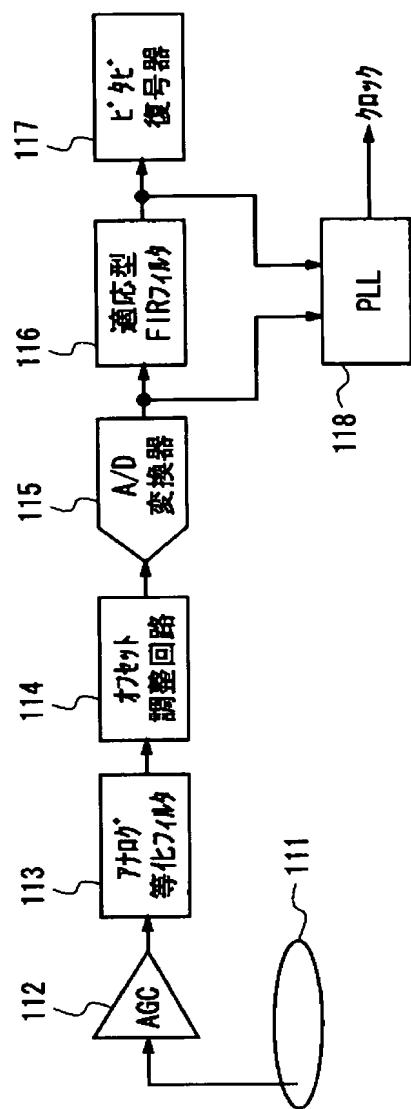
[図8]



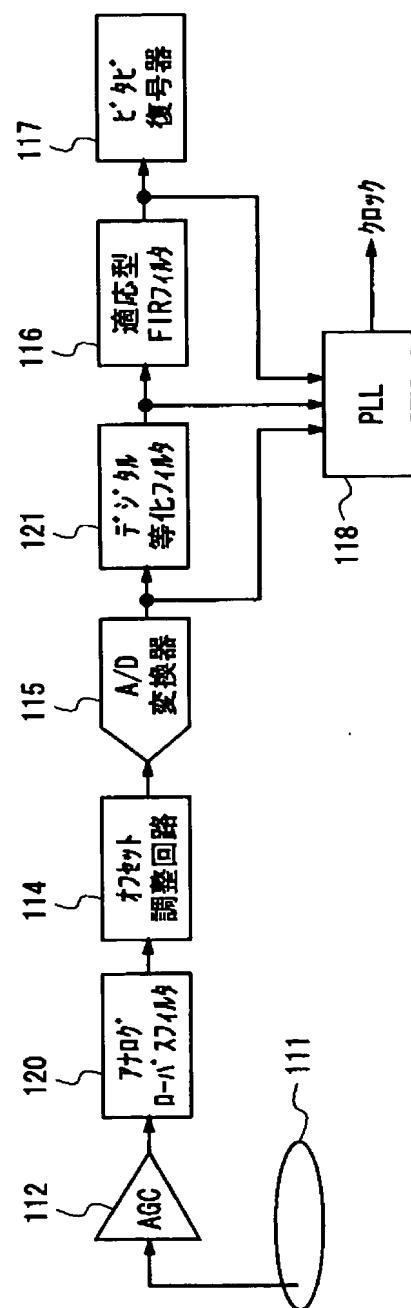
[図9]



[図10]



[図11]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/016575

**A. CLASSIFICATION OF SUBJECT MATTER**

 Int.C1<sup>7</sup> G11B20/10, 20/14, H03H17/02, 17/06, 21/00

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

 Int.C1<sup>7</sup> G11B20/10-20/16, H03H15/00, 17/00-17/08, 19/00-21/00,  
 H04B1/76-3/60, 7/005

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
 Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| Y<br>A    | JP 2002-269925 A (Matsushita Electric<br>Industrial Co., Ltd.),<br>20 September, 2002 (20.09.02),<br>Par Nos. [0051], [0054] to [0056]<br>& WO 2002/073515 A1 & US 2003/137912 A1 | 1,2<br>3-10           |
| Y<br>A    | JP 10-214458 A (Matsushita Electric Industrial<br>Co., Ltd.),<br>11 August, 1998 (11.08.98),<br>Par Nos. [0007], [0031], [0032]<br>(Family: none)                                 | 1,2<br>3-10           |

 Further documents are listed in the continuation of Box C.

 See patent family annex.

\* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

 Date of the actual completion of the international search  
 17 December, 2004 (17.12.04)

 Date of mailing of the international search report  
 11 January, 2005 (11.01.05)

 Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/016575

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-----------|--|-----------------------|
| Y         | JP 02-260876 A (Toshiba Corp.),<br>23 October, 1990 (23.10.90),<br>Page 4, upper right column, lines 9 to 16;<br>page 4, lower right column, lines 2 to 10<br>(Family: none) | 2                     |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1.7 G11B 20/10, 20/14,  
H03H 17/02, 17/06, 21/00

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1.7 G11B 20/10-20/16,  
H03H 15/00, 17/00-17/08, 19/00-21/00,  
H04B 1/76-3/60, 7/005

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2004年  
日本国実用新案登録公報 1996-2004年  
日本国登録実用新案公報 1994-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号 |
|-----------------|---|------------------|
| Y<br>A          | JP 2002-269925 A (松下電器産業株式会社)<br>2002. 09. 20, 段落【0051】、【0054】-【0056】<br>& WO 2002/073515 A1<br>& US 2003/137912 A1 | 1, 2<br>3-10     |
| Y<br>A          | JP 10-214458 A (松下電器産業株式会社)<br>1998. 08. 11, 段落【0007】、【0031】、【0032】 (ファミリーなし)                                       | 1, 2<br>3-10     |

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

## 国際調査を完了した日

17. 12. 2004

## 国際調査報告の発送日

11. 1. 2005

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官 (権限のある職員)

早川 卓哉

5Q 2957

電話番号 03-3581-1101 内線 3590

| C (続き) 関連すると認められる文献 |   | 関連する<br>請求の範囲の番号 |
|---------------------|---|------------------|
| 引用文献の<br>カテゴリー*     | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   |                  |
| Y                   | JP 02-260876 A (株式会社東芝)<br>1990. 10. 23, 第4頁右上欄第9行—第16行, 第4頁右下欄第2行—第10行 (ファミリーなし) | 2                |